

PAT-NO: JP355091152A  
DOCUMENT-IDENTIFIER: JP 55091152 A  
TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE FOR  
ULTRA HIGH FREQUENCY  
PUBN-DATE: July 10, 1980

INVENTOR-INFORMATION:  
NAME  
SHIGAKI, MASAFUMI  
TAKANO, TAKESHI  
KOSEMURA, KINSHIRO

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
FUJITSU LTD N/A

APPL-NO: JP53164694

APPL-DATE: December 28, 1978

INT-CL (IPC): H01L027/04

US-CL-CURRENT: 257/700, 257/724 , 257/924

ABSTRACT:

PURPOSE: To microminiaturize an ultra high frequency semiconductor integrated circuit device by installing a bypass capacitor in a lid of a housing being loaded on its upper portion to constant a laminated structure when a semiconductor module is loaded on a device substrate and provided with a bypass capacitor through a spacer.

CONSTITUTION: A semiconductor module 1 having an earth metallized region 15, a bypass terminal metallized region 16 and a terminal metallized region 17 is loaded through a frame 9 having a terminal 18 on an ultra high

frequency  
semiconductor integrated circuit device substrate 2. Then, a spacer  
18 having  
a metallized region 13 electrically contacting with the region 15 and  
a  
metallized region 14 electrically contacting with the region 16 is  
loaded on  
the module 1, and a frame 7 is arranged on the spacer 8. Then, a  
bypass  
capacitor 13 mounted underneath the housing lid 5 is arranged while  
being  
engaged within the frame 7. This capacitor 3 is provided on a  
ceramic  
substrate 6, an upper electrode 10 formed on the substrate 6 is  
contacted with  
the region 13 of the spacer 8, and a lower electrode 11 is contacted  
with the  
region 14 of the spacer 8 to thereby form an integral configuration.

COPYRIGHT: (C)1980,JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭55—91152

⑪ Int. Cl.<sup>3</sup>  
H 01 L 27/04

識別記号

庁内整理番号  
7210—5F

⑬ 公開 昭和55年(1980)7月10日

発明の数 1  
審査請求 未請求

(全 6 頁)

⑭ 超高周波用半導体集積回路装置

川崎市中原区上小田中1015番地  
富士通株式会社内

⑯ 特 願 昭53—164694

⑰ 発 明 者 小瀬村欣司郎

⑱ 出 願 昭53(1978)12月28日

川崎市中原区上小田中1015番地  
富士通株式会社内

⑲ 発 明 者 志垣雅文

⑳ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地  
富士通株式会社内

川崎市中原区上小田中1015番地

㉑ 発 明 者 高野健

㉒ 代 理 人 弁理士 森田寛

明 細 書

1. 発明の名称 超高周波用半導体集積回路装置

2. 特許請求の範囲

(1) 半導体素子が搭載される半導体モジュールと、該半導体モジュールに搭載される半導体素子に対する高周波バイパス機能をはたすバイパス・コンデンサを含む回路素子とを容器内に収容してなる超高周波用半導体集積回路装置において、上記少なくともバイパス・コンデンサが上記半導体モジュールが装填されている平面以外の上記容器内面に面状に配置されて積層され、上記バイパス・コンデンサの1端が上記容器内のアースに接続されかつ上記コンデンサの他端が上記半導体モジュールに接続されることを特徴とする超高周波用半導体集積回路装置。

(2) 上記半導体モジュールは回路装置基板に平行に配置されると共にその周辺にもうけられた枠体によって囲われてなり、上記容器は容器蓋体を

そなえ、該容器蓋体の周縁部に対応してスペーサ部材がもうけられ、上記容器蓋体と上記回路装置基板とが少なくとも上記枠体と上記スペーサ部材とを介在して積層されていることを特徴とする特許請求の範囲外(1)項記載の超高周波用半導体集積回路装置。

(3) 上記バイパス・コンデンサは上記容器蓋体の内面と上記スペーサ部材の内面との両者あるいはいずれか一方に面状に配置されることを特徴とする特許請求の範囲外(2)項記載の超高周波用半導体集積回路装置。

3. 発明の詳細な説明

本発明は、超高周波用半導体集積回路装置、特に半導体モジュールとバイパス・コンデンサを含む回路素子とを容器内に収容した超高周波用半導体集積回路装置において、超高周波用に構成すべく超小型に構成せしめた半導体集積回路装置に関するものである。

超高周波用半導体集積回路装置は、半導体素子

が搭載される半導体モジュールを容器内に収容している。このような半導体モジュールは半導体技術の進歩に伴ってきわめて小型化できるようになっているが、外部サージ吸収用や高周波回路用のバイパス・コンデンサを含む回路素子の占有する面積（あるいは体積）が大となり、かつこれら回路素子に対するリード線が非所望な立体配置となる。

即ち、従来のこの種の超高周波用半導体集積回路装置は、才1図(内)または(外)図示の如く構成されていた。才1図(内)図示の場合、半導体モジュール1は基板2上に設置され、該基板2上に配置されたバイパス・コンデンサ3が上配半導体モジュール1に対してリード線4によつて接続されている。また才1図(外)図示の場合、半導体モジュール1の周辺にチップ・コンデンサで構成されるバイパス・コンデンサ3が配置され、該コンデンサ3と半導体モジュール1とがリード線4によつて接続されている。しかし、例えばマイクロ波帯の集積回路を構成する場合、形状寸法特に平面面積が非所

望に大となる。

本発明は、上記の点を解決することを目的としており、容器の蓋などに上配バイパス・コンデンサを配置して高さ方向に積層構造をとり小型化をはかることを目的としている。そしてそのため、本発明の超高周波用半導体集積回路装置は、半導体素子が搭載される半導体モジュールと、該半導体モジュールに搭載される半導体素子に対する高周波バイパス機能をはたすバイパス・コンデンサを含む回路素子とを容器内に収容してなる超高周波用半導体集積回路装置において、上配少なくともバイパス・コンデンサが上配半導体モジュールが装着されている平面以外の上配容器内面に面状に配置されて積層され、上配バイパス・コンデンサの1端が上配容器内のアースに接続されかつ上配コンデンサの他端が上配半導体モジュールに接続されることを特徴としている。以下図面を参照しつつ説明する。

才2図は本発明の一実施例の分解斜視図、才3図は才2図に示す装置を組み上げる直前の状態の断

面図、才4図および才5図は夫々容器蓋体上に配置したバイパス・コンデンサの一実施例、才6図(内)図は本発明の他の一実施例であつて才5図図示の構造を利用したもの、才7図はバイパス・コンデンサ以外の他の回路素子を容器蓋体に配置した一実施例、才8図および才9図は夫々才6図図示構造の変形例、才10図は本発明の更に他の一実施例、才11図は才10図に示す装置を組み上げる直前の状態の断面図、才12図は本発明の更に別の一実施例を示す。

才2図図示の場合、容器蓋体5と、バイパス・コンデンサ3が設置されるコンデンサ基体6と、コンデンサ基体用枠体7と、スペース部材8と、半導体モジュール1と、枠体9と、装置基板2とによつて構成されている。

図示の場合、例えばセラミックによつて構成されるコンデンサ基体6上にコンデンサ3の下部電極10がメタライズされ、該下部電極10上に図示しない誘電体膜をはさんで上部電極11が形成されている。そして上部電極11の端子12はコ

ンデンサ基体6の周辺に並んで存在される。このようにコンデンサ3が配置されたコンデンサ基体6は容器蓋体5に図示点線で示す如く接着材によつて接着される。

才3図に示す断面図を参照すると明瞭になる如く、コンデンサ基体6の周辺に該基体6を囲うようにコンデンサ基体枠体7がもうけられて容器蓋体5に接着される。一方装置基板2上に半導体モジュール1が接着材によつて接着され、該半導体モジュール1の周辺に該モジュール1を囲うように枠体9がもうけられて装置基板2に接着される。そして、スペース部材8を介在せしめて、上配枠体7と9とが接着材を介して熱圧着されて、全体装置が封止形成される。このとき、スペース部材8には、コンデンサ下部電極10に対して電気的に接触されるアース用メタライズ領域13と、コンデンサ上部電極11の端子12に対して電気的に接触されるバイパス端子用メタライズ領域14とがもうけられている。これらメタライズ領域13および14は、才3図を参照すると明瞭となる如

く、スペース部材8の内壁に沿ってスペース部材8のオ2図図示裏面に延長している。また、半導体モジュール1上には、上記メタライズ領域13と電氣的に接触されるアース用メタライズ領域15がもうけられ、またメタライズ領域14と電氣的に接触されるバイパス端子用メタライズ領域16がもうけられている。更に半導体モジュール1上には信号電流が流入または流出する50Ω端子用メタライズ領域17がもうけられ、枠体9上に固定される50Ω端子18と図示されないスペース部材8の下面メタライズ領域によつて電氣的に接触される。

したがつて、上述の如く熱圧着されて積層構成に形成されるとき、コンデンサ3の上部電極11は端子12、メタライズ領域14、メタライズ領域16を介して半導体モジュール1に接続され、一方コンデンサ3の下部電極10はメタライズ領域13、メタライズ領域15を介して半導体モジュール1に接続されて装置全体のアースに接続される。

4図はプロセス技術によつて構成される例を示し、下部電極10と絶縁層と上部電極11とを、例えば、金-2酸化シリコン-金、あるいは金-2酸化タンタル-金の如き構成で形成され、コンデンサ3のクロスオーバー部分は例えばポリイミドなどを用いることができる。またオ5図は、容器蓋体5上にメタライズされた下部電極10上にチップ状コンデンサ例えばセラミック・チップ・コンデンサやMOBコンデンサなどを貼着した構造を示している。

オ4図またはオ5図図示の構成を採用すると共に、コンデンサ基体用枠体7、スペース枠部材8および枠体9を一体化してリード線31、32を挿入し構成した枠部材8'とし、更にバイパス・コンデンサ3の端子12と接続するメタライズ領域14およびアースと接続されるメタライズ領域13とを印刷配線によつて夫々形成する。そして半導体モジュール上のメタライズ領域16と枠部材8'のメタライズ領域14とを、また領域17とリード端子32とをボンディング・ワイヤ30によつ

て接続することによつて、オ2図およびオ3図図示の構造の場合、上述の如く比較的広い面積を占めるバイパス・コンデンサ3が容器蓋体5の内面に配置され、スペース部材8上のメタライズ領域を介して半導体モジュール1とリード線を介することなく接触によつて電氣的に接続される。このため、後述する他の実施例に共通に言えることであるが、バイパス・コンデンサ3の占有する面積分だけ全体装置が小型化され、更にコンデンサ3によつて装置内に存在する半導体モジュール1が電氣的に遮蔽されかつ光学的にも遮蔽される。したがつて、特に光学的遮蔽効果にもとづいて、外部からの光によつて半導体モジュール1上に存在する半導体素子に非所望の変調作用を与えることがない。

オ2図図示の実施例の場合、コンデンサ3はコンデンサ基体6上に載置され、該基体6を容器蓋体5に接着せしめている。このために、コンデンサ基体用枠体7を必要としている。しかし、上記コンデンサ3をオ4図またはオ5図図示の如く容器蓋体5上に直接構成せしめることができる。オ

て接続することによつて、オ2図およびオ3図図示の装置はオ6図(内)に示す如く簡単化され、オ2図およびオ3図に示すコンデンサ基体6とコンデンサ基体用枠体7および9とが省略できる。なおオ6図内は分解斜視図を示し、オ6図(内)はオ6図内に示す装置を組上げる直前の状態の断面図を示している。そして図中の各符号は、オ2図ないしオ5図に対応しており、構成および作用効果に関してオ2図およびオ3図に示す装置と同等であるので具体的説明を省略する。

オ6図(内)に示す構成を採用して、容器蓋体5内面上にバイパス・コンデンサ3以外の回路素子を一纏に形成することができる。オ7図はインダクタンス素子19を形成した一実施例を示している。図中の符号5、10、11、12はオ6図に対応し、19はインダクタンス素子、20はインダクタンス素子の端子、21はボンディング・ワイヤを表わしている。なおこのワイヤはクロスオーバー技術によつて一体に形成してもよい。オ7図図示の構成を採用する場合、オ6図図示の枠部材8'

や半導体モジュール1上にもうけられるメタライズ領域が端子20に対応してもうけられることは言うまでもない。

オ8図は、オ6図(同図示の断面図)において、コンデンサ上部電極11とメタライズ領域14のメタライズ領域14とメタライズ領域16の電氣的接触をより確実にするための変形例を示している。図中の符号1, 2, 5, 8, 10, 11, 14, 16はオ6図と対応しており、22はA<sub>8</sub>等のろう材または導電性接着材、31はバイパス端子例えば電源端子を表わしている。またコンデンサ上部電極の端子12と枠部材8'のメタライズ領域14とが外面に現われており、A<sub>8</sub>等のろう材または導電性接着材22によつて電氣的接続が行なわれる。

またオ9図は、オ8図図示の構成を更に改良した変形例を示している。図中の符号はオ8図に対応しており、24はリード線を表わしている。オ9図図示の場合、枠部材8'上のメタライズ領域14が省略され、リード線24をもうけてバイパス端子31と熱圧着等によつて接続されている。

11

図中の符号1, 2, 3, 5, 8, 9, 10, 11, 12, 13, 14, 15, 16, 23, 25はオ2図ないしオ11図に対応し、26は枠体9上にもうけられたアース用メタライズ領域、27は3dBハイブリッド・カプラを表わしている。

図示の場合、コンデンサ上部電極11は、端子12、メタライズ領域14、メタライズ領域16をへて半導体モジュール1に接続され、かつ端子12、メタライズ領域14、メタライズ領域25をへてバイパス端子23に接続される。またコンデンサ下部電極10は、メタライズ領域26、メタライズ領域15をへて、半導体モジュール1に接続される。またオ12図図示の場合、半導体モジュール1の周辺に枠体9がもうけられていることを利用し、該枠体9上に本発明にいう他の回路素子例えば3dBハイブリッド・カプラ27が配置される。

以上説明した如く、本発明によれば、容器蓋体を含む容器内腔を利用してバイパス・コンデンサを含む回路素子を配置し、全体を積層構造として

13

オ10図およびオ11図は本発明の更に他の一実施例を示している。図中の符号1, 2, 3, 5, 8, 9, 10, 11, 12, 15, 16, 17, 18, 23はオ2図ないしオ9図に対応し、25は枠体9上にもうけたバイパス端子用メタライズ領域を表わしている。オ10図図示の場合、スペーサ部材8の内面にバイパス・コンデンサ3が配置された形となっている。オ10図図示の場合、コンデンサ上部電極11は、端子12、メタライズ領域16を介して半導体モジュール1に接続され、かつ端子12、メタライズ領域25を介してバイパス端子23と接続される。またコンデンサ下部電極10は半導体モジュール1上のメタライズ領域15と直接接続される。なお、オ10図およびオ11図に示す構成を採用するとき、オ8図やオ9図に示す構成と一緒に用いて、コンデンサ3を容器蓋体5とスペーサ部材8との両者にもうけるようにすることができる。

オ12図は、本発明の他の1実施例を示し、ハイブリッド・カプラを形成した場合を示している。

12

いる。このために、装置全体の形状寸法を大幅に減少でき、かつ配置されたコンデンサによつて外部からの電氣的信号や光學的信号に対して遮蔽することが可能となる。

#### 4. 図面の簡単な説明

オ1図(同図)は夫々従来の構成例、オ2図は本発明の一実施例の分解斜視図、オ3図はオ2図に示す装置を組上げる直前の状態の断面図、オ4図およびオ5図は夫々容器蓋体上に配置したバイパス・コンデンサの一実施例、オ6図(同図)は本発明の他の一実施例であつてオ5図図示の構造を利用したもの、オ7図はバイパス・コンデンサ以外の他の回路素子を容器蓋体に配置した一実施例、オ8図およびオ9図は夫々オ6図図示構造の変形例、オ10図は本発明の更に他の一実施例、オ11図はオ10図に示す装置を組上げる直前の状態の断面図、オ12図は本発明の更に別の一実施例を示す。

図中、1は半導体モジュール、2は装置基板、

14

3 はバイパス・コンデンサ、5 は容器蓋体、8 はスペース部材、8' 9 は枠体、10 はコンデンサ下部電極、11 はコンデンサ上部電極を被覆す。

特許出願人 富士通株式会社  
代理人弁理士 森田 寛

図1

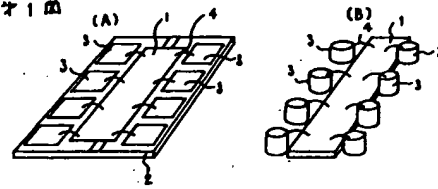


図3

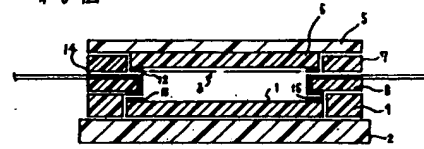


図4



図5

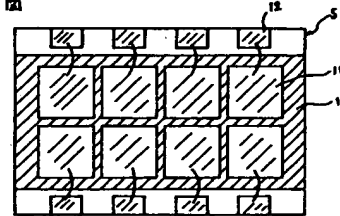


図2

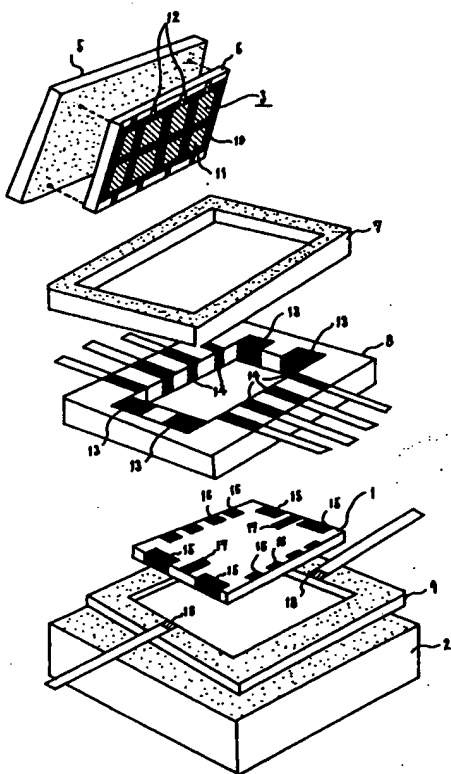
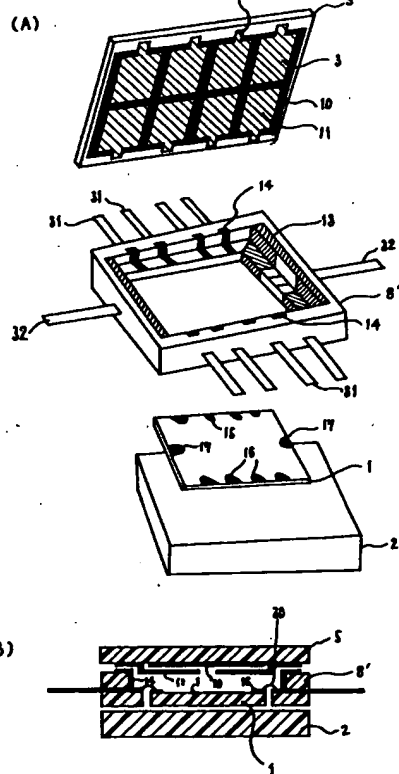
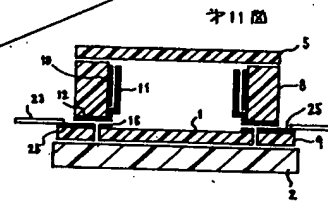
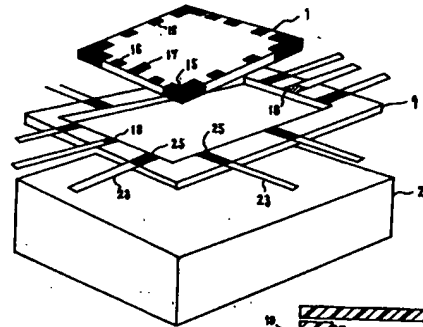
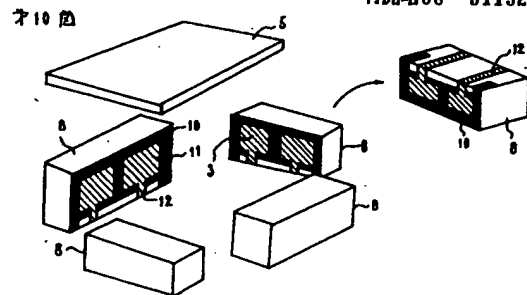
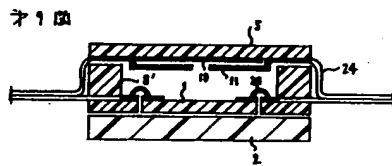
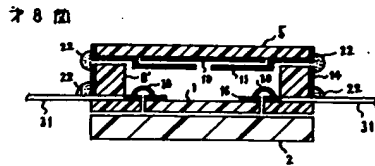
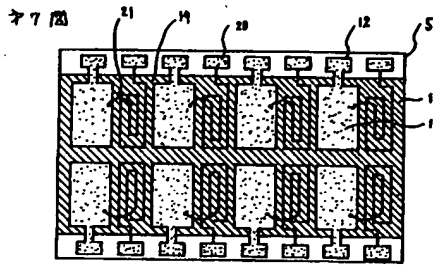


図6





才12 図

